

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299683

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H01L 33/00

(21)Application number : 2001-095973

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.03.2001

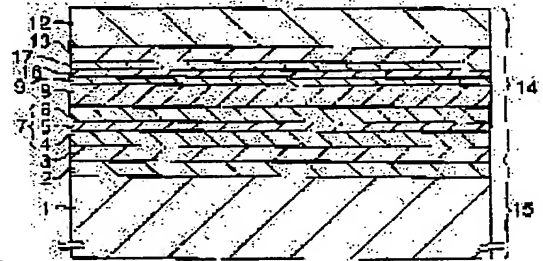
(72)Inventor : SAEKI AKIRA

(54) SEMICONDUCTOR ELEMENT MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid a great stress due to heat treatment for forming semiconductor layers by bonding.

SOLUTION: The method comprises a step for laminating a second semiconductor layer laid with a second adhesive layer 2 formed on a Gap substrate 1, on a first semiconductor layer 14 composed of semiconductor layers 17, 16, 8-3 formed on a GaAs substrate 12, then first heat treating at 350-400°C to mutually adhere bonding interfaces. Hereafter, the GaAs substrate 12 is removed and secondly heat treating at 700-800°C. The first heat treatment is at low temperatures enough to reduce stress occurring in the GaAs substrate 12 and the Gap substrate 1, and removing the former substrate 12 prior to the second heat treatment reduces stress occurring in the Gap substrate 1 to result in tightly adhered bonding interfaces.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-299683

(P2002-299683A)

(43)公開日 平成14年10月11日(2002.10.11)

(51)Int.CL⁷
H01L 33/00

識別記号

F I
H01L 33/00

ページ(参考)
A 5 F 0 4 1

審査請求 未請求 請求項の数6 O L (全 12 頁)

(21)出願番号 特願2001-95973(P2001-95973)

(22)出願日 平成13年3月29日(2001.3.29)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 佐伯 亮

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74)代理人 100058479

弁理士 鈴木 武彦 (外6名)

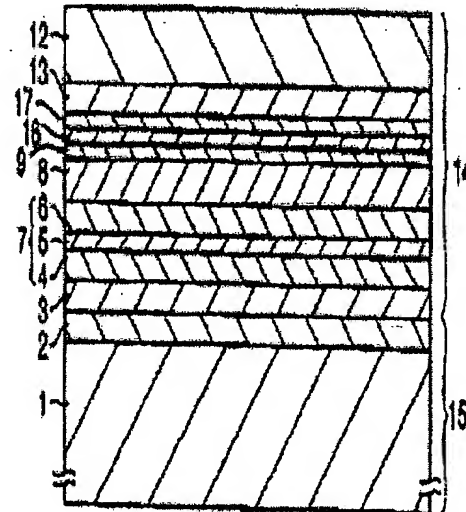
最終頁に続く

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【課題】 半導体層を接合して形成する際、熱処理により大きな応力が発生していた。

【解決手段】 GeAs基板12上に形成した各半導体層17、16、8~3により構成される第1の半導体層14に、GeP1基板上に形成した第2接合層2により構成される第2の半導体層を貼り合わせ、350~400℃で1回目の熱処理をする。このため、接合界面は相互に接合される。この後、GeAs基板12を除去し、700~800℃で2回目の熱処理をする。このように、1回目の熱処理は低温であるためGeAs基板12及びGeP基板1に発生する応力を低減でき、また、予めGeAs基板12を除去しているため、2回目の熱処理をする際、GeP基板1に発生する応力を低減し、且つ接合界面は強固に接合される。



【特許請求の範囲】

【請求項 1】 半導体層基板上に少なくとも1つの半導体層を含む第1の半導体層を形成する工程と、前記半導体層上に第2の半導体層を配置する工程と、前記半導体基板、第1の半導体層、第2の半導体層を第1の温度で熱処理する工程と、前記半導体基板を除去する工程と、前記第1の半導体層及び第2の半導体層を前記第1の温度より高い第2の温度で熱処理する工程とを具備することを特徴とする半導体素子の製造方法。

【請求項 2】 前記半導体基板はGaAs基板であって、前記第1の半導体層は前記GaAs基板上に形成されたバッファ層と、このバッファ層上に形成されたコンタクト層と、このコンタクト層上に形成された電流拡散層と、この電流拡散層上に形成された第1のクラッド層と、この第1のクラッド層上に形成された活性層と、この活性層上に形成された第2のクラッド層と、この第2のクラッド層上に形成された第1の接合層とを有しており、前記第2の半導体層はGeP基板と、このGeP基板上に形成された第2の接合層とを有しており、前記第1の温度は300～450℃であり、前記第2の温度は700～800℃であることを特徴とする請求項1記載の半導体素子の製造方法。

【請求項 3】 前記半導体基板はGaAs基板であって、前記第1の半導体層は前記GaAs基板上に形成された第2のコンタクト層とこの第2のコンタクト層上に形成された第1のコンタクト層と、この第1のコンタクト層上に形成されたエミッタ層と、このエミッタ層上に形成されたベース層と、このベース層上に形成されたコレクタ層と、このコレクタ層上に形成されたサブコレクタ層とを有しており、

前記第2の半導体層はSi基板であって、前記第1の温度は300～500℃の範囲内であり、前記第2の温度は500～900℃の範囲内であることを特徴とする請求項1記載の半導体素子の製造方法。

【請求項 4】 前記半導体基板はGaAs基板であって、前記第1の半導体層は前記GaAs基板上に形成されたコンタクト層と、このコンタクト層上に形成された電子供給層と、この電子供給層上に形成されたチャネル層と、このチャネル層上に形成されたバッファ層とを有しており、

前記第2の半導体層はSi基板であって、前記第1の温度は300～500℃の範囲内であり、前記第2の温度は500～900℃の範囲内であることを特徴とする請求項1記載の半導体素子の製造方法。

【請求項 5】 前記半導体基板はサファイア基板であって、

前記第1の半導体層は前記サファイア基板上に形成されたバッファ層と、このバッファ層上に形成された接合層とを有しており、

前記第2の半導体層はSiC基板であって、前記第1の温度は500～600℃の範囲内であり、前記第2の温度は700～800℃の範囲内であることを特徴とする請求項1記載の半導体素子の製造方法。

【請求項 6】 前記半導体基板はサファイア基板上に形成された前記第1のバッファ層と、この第1のバッファ層上に形成された第2のバッファ層と、この第2のバッファ層上に形成されたストライプ層とを有しており、前記第1の半導体層は前記ストライプ層上に形成された接合層であって、

前記第2の半導体層はSiC基板であって、前記第1の温度は500～600℃の範囲内であり、前記第2の温度は700～800℃の範囲内であることを特徴とする請求項1記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばInGaAlP等の半導体材料を用いた半導体素子、特に、格子定数が相互に異なる半導体層により構成される半導体素子の製造方法に関する。

【0002】

【従来の技術】半導体基板上に発光層等の半導体層を積層して形成された半導体素子が知られている。この半導体層の材料としてInGaAlP、GaAlAs、InGaP、GaP、GaN等が用いられる。これら半導体層を形成する際、半導体基板上にエピタキシャル成長法により各層を順次積層する方法が知られている。しかしながら、従来の、結晶の格子定数が異なる半導体層を良好な状態で上記方法により形成することは困難である。

【0003】例えば、上記材料として、GaAsやGaAlAs等は高周波において優れた特性を有することが知られている。一般にGaAsやGaAlAs等の半導体層は、これらと格子定数がほぼ等しいGaAs基板上に形成される。一方、ロジック等の半導体素子を形成する際、高密度で集積することが可能なSi材料が基板、半導体層等に多く使用される。そこでSi材料の半導体素子とGaAlAs、GaAs材料の半導体素子を1つのSi基板上に形成することにより、両者の特性を生かした半導体素子を形成できる。しかし、Si材料とGaAlAs、GaAs材料とは格子定数が異なることが知られている。したがって、Si基板上にGaAsやGaAlAsをエピタキシャル成長して形成することはほぼ不可能である。このため、現在急速に発展する携帯電話等のモバイル機器の小型化、高機能化が妨げられている。

【0004】また、InGaAlP系の材料を用いた半

半導体発光素子においては、InGaAlPと格子定数がほぼ等しいGaAs基板が用いられる。しかし、GaAs基板は可視光に対して透明ではない。このため、発光層から発せられた光のうちGaAs基板方向に向かうものは全てGaAs基板に吸収されてしまう。これは、LEDを高輝度化する上で大きな障害となっている。ところで、GaP基板は赤乃至緑の波長を有する光を透過することが知られている。したがって、GaP基板上にInGaAlP系材料を形成できれば、発光層から発せられた光は全方向から取り出すことができ、素子の高輝度化が可能となる。

【0005】また、GaN系の材料を用いた半導体発光素子においては、格子定数がGaNと等しく且つ入手の容易な基板が今のところ存在しない。このため、一般にサファイア基板やSiC基板上に特殊な方法を用いてMOCVD (Metal Organic Chemical Vapor Deposition) によりエピタキシャル成長されている。すなわち、これらの基板上にまず約500℃のMOCVDによりアモルファスパッファ層を形成する。続けてこのアモルファスパッファ層上に約1000℃のMOCVDにより単結晶薄膜のGaNを形成する。しかしながら、この方法によっても良好な状態でGaN系材料の薄膜を形成することはできない。また、アモルファスパッファ層には電流が流れにくく、素子の動作電圧を低減することは困難であった。さらに、サファイア基板は絶縁性であるため、電極をサファイア基板上に設ける構成とすることができない。このため、電極を側面に設ける必要があり、上下方向に電極を設ける一般的な発光素子を形成する場合に比べ、工程数が増大する。

【0006】これらの問題は、基板上に基板とは格子定数が異なる半導体層をエピタキシャル成長により形成することが困難であることによる。そこで、この方法に代えて、それぞれ別の基板上に形成した半導体層同士を接合して形成する方法が最近用いられている。

【0007】図24はGaP基板を使用し、上記接合による方法を用いて形成された半導体発光素子を示している。図24において、1は例えば250μmの厚さを有するp型のGaP基板である（以下、p型をp-、n型をn-と略記する）。このGaP基板1上に、厚さが例えば0.5μmのp-GaPによる第2接合層2、厚さが例えば0.03μm~0.1μmのp-InGaPによる第1接合層3が設けられている。この第2接合層2、第1接合層3は、前記GaP基板1と、後述する各半導体層を接合するために設けられる。

【0008】上記第1接合層3上には、p-InAlPによるp-クラッド層4、InGaAlPによる活性層5、n-InAlPによるn-クラッド層6が順次形成されている。各層の厚さは、例えばp-クラッド層4が1.0μm、活性層5が0.6μm、n-クラッド層6が0.6μmである。7は、p-クラッド層4、活性層

5、n-クラッド層6により構成された発光層である。【0009】n-クラッド層6上には、例えば15μmの厚さを有する、n-InGaAlPによる電流拡散層8が形成されている。この電流拡散層8は後述する電極より注入された電流を拡散させることにより、前記発光層7において効率的に発光させる機能を有する。

【0010】上記電流拡散層8上の中央には、例えば0.1μmの厚さを有する、n-GaAsによるコンタクト層9が形成されている。このコンタクト層9上には厚さが例えば0.2μmのInGaAlPによる電流ブロック層16、厚さが例えば0.1μmのGaAsによるカバー層17を介して例えばAuGe系の表面細線電極10が設けられている。また、前記電流拡散層8上の両端には、コンタクト層9を介して表面細線電極10が形成されている。また、前記GaP基板1の、第2接合層2との界面と反対面には、例えばAuZn系の表面電極11が設けられている。

【0011】上記構成とすることによって、発光層から発せられた光を全方向から取り出すことができる。

【0012】図25は上記半導体発光素子の従来の製造方法を示している。図25に示すようにn型のGaAs基板12上に、n-GaAsによるパッファ層13、カバー層17、電流ブロック層16、コンタクト層9、電流拡散層8が順次MOCVD (Metal Organic Chemical Vapor Deposition) によりエピタキシャル成長される。さらに、電流拡散層8上にn-クラッド層6、活性層5、p-クラッド層4、第1接合層3が同様に形成される。このようにして第1の半導体層14が形成される。

【0013】次に図26に示すようにp型のGaP基板11上に、第2接合層2をMOCVDにより堆積して、第2の半導体層15を形成する。この第2接合層2と第1接合層3とを界面として、第2の半導体層15と上記第1の半導体層14を室温で貼り合わせる。続いて、不活性ガス雰囲気中で、約700~800℃で1時間の熱処理を行うことにより第1の半導体層14と第2の半導体層15が接合される。その後、GaAs基板12を除去し、電極10、11が形成され、図24に示す半導体発光素子となる。

【0014】

【発明が解決しようとする課題】ところで、上記GaAs基板12とGaP基板11の間には熱膨張係数に大きな差がある。このため、第1の半導体層14と第2の半導体層15を熱処理により接合する際、これら基板の間に大きな応力が発生する。したがって、GaAs基板12、GaP基板及び接合界面である第1の半導体層14と第2の半導体層15に転位やクラックが発生する。これは、各基板及び半導体層の強度を弱め、製品パッケージを組み立てる際、チップ破損の原因になる。あるいは、発光層7へダメージが生じ、素子の光出力、ライフ

特性等を低下させる。

【0015】一般に熱膨張係数の差による影響は、2つの基板の熱膨張係数の差が増大するに連れ大きくなる。また、基板の厚さが厚いほど、熱処理温度が高いほど、同様に影響は大きくなる。そこで、上記影響を低減するため、以下に示す方法が考えられる。

【0016】まず、各基板間の熱膨張係数差を小さくすることにより、基板間に発生する応力を小さくすることができる。しかし、熱膨張係数は材料固有の物性値であるため変えることはできない。

【0017】次に、基板の厚さを薄くすること、すなわち熱処理時にGaAs基板12を除去することが考えられる。しかし、熱処理を行う前に室温で第1の半導体層14と第2の半導体層15を張り合わせたのみでは接着力が弱く、GaAs基板12を除去する際に、半導体層3~9、13、16、17等が剥離してしまう。

【0018】さらに、熱処理温度を低くする方法が考えられるが、熱処理温度を下げると第1の接合層3と第2の接合層2の接合強度が低下してしまう。これら接合層1、2を強固に接合するためには熱処理温度を700℃以上にすることが必要である。また、接合界面で低抵抗のオーミック接触を得るためにも、熱処理温度は700℃以上であることが必要である。すなわち、接合時の熱処理温度が700℃以上であると良好なオーミック接触が得られ、素子の動作電圧は1.9V~2.0V程度まで十分に低減化できる。一方、クラックの発生を防ぐためには熱処理温度は500℃以下にする必要がある。したがって、これらの温度条件を同時に満たすことは不可能であり、熱処理温度を低くする方法も採用することはできない。

【0019】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、基板上にこの基板と格子定数の異なる半導体層を形成し、且つ熱処理により発生する応力を低減できる半導体素子の製造方法を提供しようとするものである。

【0020】

【課題を解決するための手段】本発明の半導体素子の製造方法は、上記課題を解決するため、半導体層基板上に少なくとも1つの半導体層を含む第1の半導体層を形成する工程と、前記半導体層上に第2の半導体層を配置する工程と、前記半導体基板、第1の半導体層、第2の半導体層を第1の温度で熱処理する工程と、前記半導体基板を除去する工程と、前記第1の半導体層及び第2の半導体層を前記第1の温度より高い第2の温度で熱処理する工程とを具備することを特徴とする。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0022】（第1の実施形態）本発明に係る半導体素子の断面図は図24に示す半導体素子と同様であるた

め、説明は省略する。

【0023】図1乃至図4は、上記構成の半導体素子の製造方法を示しており、図1乃至図4において図24と同一部分は同一符号を付す。以下、図1乃至図4を参照して製造方法を説明する。

【0024】図1に示すようにGaAs基板12上に、バッファ層13がMOCVDによりエピタキシャル成長し、堆積される。

【0025】MOCVDの材料として、例えばGa源にはTMG（トリメチルガリウム）、Al源にはTMA（トリメチルアルミニウム）、In源にはTMI（トリメチルインジウム）などの有機金属、また、アルシン、ホスフィンなどの水素化合物ガスが用いられる。MOCVDの成長温度は例えば約700℃である。以下、各工程のMOCVDも同様の条件、材料により行われる。

【0026】上記バッファ層13上に、カパー層17、電流ブロック層16、コンタクト層9、電流拡散層8、n-クラッド層6がMOCVDにより順次エピタキシャル成長により形成される。次にこれらコンタクト層9、電流拡散層8、n-クラッド層6に、n型不純物として例えばシリコンが注入される。シリコンの材料には例えばシランが使用される。

【0027】次に、n-クラッド層6上に活性層5がMOCVDにより形成される。この活性層5の組成は、発光波長に応じて決定される。すなわち、InGaAlP中のGaとAlとのバランスを変えることにより、このバランスに応じ赤色、橙色、黄色、黄緑色、緑色の光を得られる。

【0028】続いて上記活性層5上にp-クラッド層4、第1接合層3がMOCVDにより順次形成される。その後、これらp-クラッド層4、第1接合層3に、p型不純物として例えば亜鉛が注入される。亜鉛の材料には例えばDMZ（ジメチル亜鉛）が使用される。このようにして第1の半導体層（第1のウェハ）14が形成される。

【0029】次に、図2に示すように、GaP基板11上に第2接合層2がMOCVDにより形成され、p型不純物が注入され、第2の半導体層（第2のウェハ）15が形成される。

【0030】次に、図3に示すように、前記第2の接合層2及び第1接合層3を界面として、前記第1の半導体層14と第2の半導体層15とを室温で貼り合わせる。その後、不活性ガス雰囲気内で、約300~450℃、好ましくは400℃で1回目の熱処理をする。こうすることにより、第1の半導体層14と第2の半導体層15が接合される。

【0031】続いて、図4に示すように、前記GaAs基板12を機械的研磨またはエッチングにより除去する。このとき、1回目の熱処理により第1の半導体層14と第2の半導体層15が接合されているため、GaA

s 基板 12 を除去する際、これら半導体層 14、15 が接合界面で剥離することを回避できる。

【0032】この後、不活性ガス雰囲気内で、約 700～800℃、好ましくは 770℃ で 2 回目の熱処理をする。この後、バッファ層 13 をエッチング等により除去する。

【0033】次に、素子両端部の電流ブロック層 16 及びカパー層 17 が除去される。この後、図 24 に示すように、素子中央部のカパー層 17 上、及び両端部のコンタクト層 9 上に AuGe 系の金属が堆積され、リソグラフィ工程により加工され、表面細線電極 10 がそれぞれ形成される。また、同様に、GeP 基板 1 上に AuZn 系の金属が堆積され、リソグラフィ工程により加工され、表面電極 11 が形成される。

【0034】図 5 は第 2 の半導体層 15 に対する熱処理温度と XRD (X 線解析) による半値幅との関係を示している。図 5 に示すように、第 1 の半導体層 14 と第 2 の半導体層 15 とを貼り合わせ、300℃ 以下で熱処理した場合、第 2 の半導体層 15 の XRD による半値幅は 40 秒以下となっている。すなわち、第 2 の半導体層 15 には転位が発生していない。これは、400℃ 以下で熱処理した場合、第 1 の半導体層 14 との接合界面に発生する応力が小さく、それぞれの半導体層の変形は弾性変形の範囲にとどまるためである。しかし、熱処理温度が 450℃ 以上になると、半値幅は大きくなり、第 2 の半導体層 15 に転位及びクラックが発生する。これは、接合界面に発生した応力により第 1 の半導体層 14 及び第 2 の半導体層 15 が変形したとき、第 2 の半導体層 15 に非弾性変形 (結晶の破壊) が起こるからである。

【0035】上記理由により、1 回目の熱処理温度を 300～450℃ としている。このため、熱処理により GeP 基板 1 及び GeAs 基板 12、及び第 1 の半導体層 14 と第 2 の半導体層 15 の接合界面に転位及びクラックが発生することを回避できる。

【0036】第 1 の実施形態によれば、第 1 の半導体層 14 と第 2 の半導体層 15 とを貼り合わせ、300～450℃ で 1 回目の熱処理によりこれら半導体層を相互に接合し、この後 GeAs 基板 12 を除去し、700～800℃ で 2 回目の熱処理をしている。このように、1 回目の熱処理は低温であるため、第 1 の半導体層 14 と第 2 の半導体層 15 の間に発生する応力を低減できる。また、予め GeAs 基板 12 を除去しているため、2 回目の熱処理をする際、第 2 の半導体層 15、及び各半導体層 3～9、13、16、17 に発生する応力を低減できる。したがって、GeP 基板 1、及び第 1 の半導体層 14 と第 2 の半導体層 15 の接合界面に転位及びクラックが発生することを回避できる。このため、GeP 基板を使用し、高輝度な半導体発光素子を形成しつつ、パッケージング等の工程で第 1 接合層と第 2 接合層が剥離したり、半導体チップが破損したりする問題を回避できる。

また、発光層 7 にダメージが発生することを防止できるため、素子の光出力を向上することができる。

【0037】また、高温で 2 回目の熱処理をしているため、第 1 接合層 3、第 2 接合層 2 間で十分な接合強度を得られ、且つ良好なオーミック接触を得られる。したがって、素子の動作電圧を低く抑えることができる。

【0038】尚、2 回目の熱処理に先立ち、GeAs 基板 12 を全て除去する工程とした。しかし、GeAs 基板 12 の一部を例えば 1 μm 程度残しておくことによって、後述する熱処理工程のとき、コンタクト層 9 乃至第 2 接合層 2 の各半導体層に対する熱の影響を遮断することができる。

【0039】(第 2 の実施形態) 図 6 は本発明の第 2 の実施形態を示す断面図である。第 2 の実施形態は、第 1 の実施形態を適用し、S1 基板上に GeAs 系材料、及び InGeP によるバイポーラトランジスタを形成している。すなわち、図 6 に示すように、S1 基板 21 上の全面に例えば 0.5 μm の厚さの n-GeAs によるサブコレクタ層 22 が形成されている。このサブコレクタ層 22 上に厚さが例えば 0.4 μm の n-GeAs によるコレクタ層 23 及び例えば Au 系金属によるコレクタ電極 24 が相互に離間して設けられている。

【0040】前記コレクタ層 23 上の全面に厚さが例えば 0.05 μm の p-GeAs によるベース層 25 が形成されている。さらに、このベース層 25 上に厚さが例えば 0.03 μm の n-InGeP によるエミッタ層 26 及び例えば Au 系金属によるベース電極 27 が相互に離間して設けられている。

【0041】前記エミッタ層 26 上に厚さが例えば 0.2 μm の n-GeAs による第 1 コンタクト層 28 が形成されている。この第 1 コンタクト層 28 上の一部に厚さが例えば 0.05 μm の n-InGeAs による第 2 コンタクト層 29 を介して例えば Au 系金属によるエミッタ電極 30 が設けられている。

【0042】図 7 乃至図 9 は、上記構成の半導体素子の製造方法を示しており、図 7 乃至図 9 において図 6 と同一部分は同一符号を付す。以下、図 7 乃至図 9 を参照して製造方法を説明する。

【0043】図 7 に示すように、GeAs 基板 12 上に第 2 コンタクト層 29、第 1 コンタクト層 28、エミッタ層 26、ベース層 25、コレクタ層 23、サブコレクタ層 22 が MOCVD により順次エピタキシャル成長し、形成される。尚、MOCVD の条件、材料は第 1 の実施形態と同様である。また、ベース層 25 には不純物として炭素が注入され、その材料として例えば 4 臭化炭素 (CBr₄) が用いられる。サブコレクタ層 22、コレクタ層 23、エミッタ層 26、第 1 コンタクト層 28、第 2 コンタクト層 29 には材料としてシリランを使用し、シリコンが注入される。

【0044】次に、図 8 に示すようにサブコレクタ層 2

2)にSi基板21を室温で貼り合わせた後、不活性ガス雰囲気中で約300~500℃、好ましくは約400℃で1回目の熱処理をする。こうすることにより、サブコレクタ層22とSi基板21とが接合される。

【0045】次に、図9に示すようにGaAs基板12を機械的研磨またはエッチングにより除去する。このとき、1回目の熱処理によりサブコレクタ層22とSi基板21とが接合されているため、GaAs基板12を除去する際、サブコレクタ層22とSi基板21が接合界面で剥離することを回避できる。この後、不活性ガス雰囲気中で、約500~900℃、好ましくは約770℃で2回目の熱処理をする。

【0046】その後、図5に示すように、各半導体層23、25、26、28、29がフォトリソグラフィ工程により加工され、各電極24、27、30が形成される。

【0047】第2の実施形態によれば、300~500℃で1回目の熱処理によりサブコレクタ層22とSi基板21とを接合し、その後GaAs基板12を除去し、500~900℃で2回目の熱処理をしている。このため、Si基板21及びサブコレクタ層22に転位及びクラックが発生することなく、Si基板21上にGaAsを使用した半導体素子を形成できる。したがって、1つのSi基板上にSiを材料とした従来の半導体素子とGaAsを使用した半導体素子を形成することができ、

【0048】(第3の実施形態)図10は本発明の第3の実施形態を示す断面図である。第3の実施形態は、図2と同様、Si基板上にInGaAs系材料、及びInGaPによるMOSFETを形成している。すなわち、図10に示すように、Si基板21上に厚さが例えば0.5μmのGaAsによるバッファ層31が形成されている。このバッファ層31上に厚さが例えば0.015μmのInGaAsによるチャネル層32、厚さが例えば0.03μmのn-InGaPによる電子供給層33が順次形成されている。

【0049】前記電子供給層33上には厚さが例えば1.5μmのn-GaAsによるコンタクト層34が両端部に形成されている。一方のコンタクト層34上には例えばAu系金属によるソース電極35が形成され、他方のコンタクト層34上には例えばAu系金属によるドレイン電極36が形成されている。また、前記電子供給層33上の、ソース電極35とドレイン電極36との間には、各電極35、36と離間して例えばAu系金属によるゲート電極37が設けられている。

【0050】図11乃至図13は、上記構成の半導体素子の製造方法を示しており、図11乃至図13において、図10と同一部分には同一符号を付す。以下、図11乃至図13を参照して製造方法を説明する。

【0051】図11に示すように、GaAs基板12上にコンタクト層34、電子供給層33、チャネル層3

2、バッファ層31がMOCVDにより順次エピタキシャル成長し、形成される。尚、MOCVDの際の条件、材料は第1の実施形態と同様である。また、電子供給層33及びコンタクト層34には原料として例えばシリコンを用い、シリコンを注入する。

【0052】次に、図12に示すようにバッファ層31上にSi基板21を室温で貼り合わせた後、不活性ガス雰囲気中で、約300~500℃、好ましくは約400℃で1回目の熱処理をする。こうすることにより、バッファ層31とSi基板21とが接合される。

【0053】次に、図13に示すようにGaAs基板12を機械的研磨またはエッチングにより除去する。このとき、1回目の熱処理によりバッファ層31とSi基板21とが接合されているため、GaAs基板12を除去する際、バッファ層31とSi基板とが接合界面で剥離することを回避できる。この後、不活性ガス雰囲気中で、約500~900℃、好ましくは約770℃の高温で2回目の熱処理をする。

【0054】その後、図10に示すように、各コンタクト層34がフォトリソグラフィ工程により形成され、続いて各電極35~37が形成される。

【0055】第3の実施形態によれば、第2の実施形態と同様の効果を得られる。

【0056】(第4の実施形態)図14は本発明に係る半導体素子の第4の実施形態を示す断面図である。第4の実施形態は半導体発光素子であり、GaAs系材料により活性層を構成している。図14において、41は厚さが例えば250μmのn型のSi基板である。このSi基板41上に例えば厚さが5.0μmのn-GaNによる接合層42、厚さが例えば0.4μmのn-AlGaInによるn-クラッド層43、厚さが例えば0.2μmのn-GaNによるn-ガイド層44が形成されている。このn-ガイド層44上には、多重量子井戸構造の活性層45が形成されている。この活性層45は図15に示すように、例えば層の厚さが5nm、In含有率が15%のInGaIn層45aと、層の厚さが8nm、In含有率が2.5%のInGaIn層45bを交互に堆積することにより形成される。堆積される層数は、例えばInGaAlP層45aが11層、InGaAlP層45bが10層である。

【0057】前記活性層45上には厚さが例えば0.2μmのp-GaNによるp-ガイド層46、厚さが例えば0.4μmのp-AlGaInによるp-クラッド層47、厚さが例えば0.1μmのp-GaNによるコンタクト層48が順次形成されている。

【0058】前記コンタクト層48上には例えばAuNi系の表面電極55が設けられており、前記Si基板41上には例えばAuNi系の裏面電極56が設けられている。

【0059】図16乃至図19は上記構成の半導体素子

の製造方法を示しており、図16乃至図19において、図14と同一部分には同一符号を付す。以下、図16乃至図19を参照して製造方法を説明する。

【0060】図16において、49は例えば厚さが250 μ mのサファイア基板である。このサファイア基板49上に厚さが例えば0.05 μ mのAlNによるバッファ層50を約500℃のMOCVDにより形成する。このバッファ層50上に接着層42を約1000℃のMOCVDにより形成する。尚、図16乃至18に示す符号51については、第5の実施形態で説明する。

【0061】次に、図17に示すように接着層42上にSiC基板41を室温で貼り合わせた後、不活性ガス雰囲気中で、約500～600℃、好ましくは約400℃で1回目の熱処理をする。こうすることにより、接着層42とSiC基板41とが接合される。

【0062】続いて、図18に示すように、サファイア基板49を機械的研磨及びエッチングにより除去する。このとき、1回目の熱処理により接着層42とSiC基板41とが接合されているため、サファイア基板49を除去する際、接着層42とSiC基板41とが接合界面で剥離することを回避できる。次に、不活性ガス雰囲気中で、約700～800℃で2回目の熱処理をする。

【0063】この後、バッファ層50を除去し、図19に示すように、接着層42上にn-クラッド層43、n-ガイド層44、活性層45、p-ガイド層46、p-クラッド層47、コンタクト層48が順次形成される。

【0064】次に、図14に示すように、表面電極55、裏面電極56が形成される。

【0065】第4の実施形態によれば、500～600℃で1回目の熱処理により接着層42とSiC基板41とを接合し、その後サファイア基板49及びバッファ層50を除去し、700～800℃で2回目の熱処理をしている。このため、SiC基板41及び接着層42に発生する応力を低減し、転位及びクラックが発生することを回避できる。さらに、アモルファスバッファ層を介さずに、SiC基板21上にGa_{0.5}Nを使用した半導体素子を形成できる。よって、発光素子の動作電圧を低減できる。

【0066】（第5の実施形態）第5の実施形態は第4の実施形態の変形例である。すなわち、半導体素子の構造については第4の実施形態と同様であり、製造方法のみが異なる。このため、素子構造についての説明は省略し、以下、図16乃至図19を参照して製造方法について説明する。

【0067】図16に示すように、サファイア基板49上に厚さが例えば0.1 μ mのZnOバッファ層51を高周波スパッタリングにより形成する。このとき、原料（ターゲット）として焼結されたZnOを用いる。次に、バッファ層51上に、HVPE（Hydride Vapor Phase Epitaxy）またはMOCVDにより、約1000℃

で厚さが例えば5～30 μ mのn-GaNによる接着層42を形成する。HVPEの際、原料として例えばGa（ガリウム）、HCl（塩化水素ガス）、NH₃（アンモニアガス）を用い、キャリアガスとして窒素を用い、不純物としてシリコンを用いる。

【0068】次に、図17に示すように接着層42上にSiC基板41を室温で貼り合わせた後、不活性ガス雰囲気中で、約500～600℃で1回目の熱処理をする。

【0069】続いて、図18に示すように、サファイア基板49を機械的研磨及びエッチングにより除去する。この後、不活性ガス雰囲気中で、約700～800℃で2回目の熱処理をし、続いてバッファ層51が除去される。この後の工程については、第4の実施形態と同じであるため、説明は省略する。

【0070】上記第5の実施形態によれば、第4の実施形態と同様の効果を得られる。すなわち、SiC基板41及び接着層42に転位及びクラックが発生することなく、アモルファスバッファ層を介さずに、SiC基板21上にGa_{0.5}Nを使用した半導体素子を形成できる。

【0071】（第6の実施形態）第6の実施形態は第4の実施形態の変形例である。すなわち、半導体素子の構造については第4の実施形態と同様であり、製造方法のみが異なる。このため、素子構造についての説明は省略し、以下、図20乃至図23を参照して製造方法について説明する。

【0072】図20に示すように、サファイア基板49上に厚さが例えば0.05 μ mのAlNによるバッファ層52を約500℃のMOCVDにより形成し、このバッファ層52上に厚さが例えば2 μ mのn-GaNによるバッファ層53を約1000℃のMOCVDにより形成する。次に、バッファ層53上にSiO₂によるストライプ層54を形成する。

【0073】図21はストライプ層54を上面から見た平面図である。図21において、54aはSiO₂によるストライプである。各ストライプの幅は例えば3 μ mであり、高さは例えば0.1 μ mであり、各ストライプ相互の間隔は例えば9 μ mである。このストライプ層54は、例えばスパッタリングによりバッファ層53上の全面にSiO₂層を形成し、その後、所定のパターンを用い、リソグラフィ工程により形成される。

【0074】続いて、図20に示すように、厚さが例えば5～30 μ mのn-GaN接着層42を約1000℃のMOCVDまたはHVPEにより形成する。

【0075】次に、図22に示すように接着層42上にSiC基板41を室温で貼り合わせた後、不活性ガス雰囲気中において、約500～600℃で1回目の熱処理をする。

【0076】続いて、図23に示すように、サファイア基板49、バッファ層52、53、ストライプ層54を

機械的研磨及びエッチングにより除去する。この後、不活性ガス雰囲気中において、約700〜800℃で2回目の熱処理をする。この後の工程については、第4の実施形態と同じであるため、説明は省略する。

【0077】上記第6の実施形態によれば、第4の実施形態と同様の効果を得られる。すなわち、SiC基板41及び接合層42に転位及びクラックが発生することなく、アモルファスバッファ層を介さずに、SiC基板21上にGa₂Nを使用した半導体素子を形成できる。

【0078】その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【0079】

【発明の効果】以上、詳述したように本発明によれば、基板上にこの基板と格子定数の異なる半導体層を形成し、熱処理により発生する応力を低減できる半導体素子の製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明に係る半導体素子の第1の実施形態の製造方法を示す図。

【図2】本発明に係る半導体素子の第1の実施形態の製造方法を示す図。

【図3】本発明に係る半導体素子の第1の実施形態の製造方法を示す図。

【図4】本発明に係る半導体素子の第1の実施形態の製造方法を示す図。

【図5】Ga₂P半導体層に対する熱処理温度とXRDによる半値幅との関係を示す図。

【図6】本発明に係る半導体素子の第2の実施形態を示す図。

【図7】図6に示す半導体素子の製造方法を示す図。

【図8】図6に示す半導体素子の製造方法を示す図。

【図9】図6に示す半導体素子の製造方法を示す図。

【図10】本発明に係る半導体素子の第3の実施形態を示す図。

【図11】図10に示す半導体素子の製造方法を示す図。

【図12】図10に示す半導体素子の製造方法を示す図。

【図13】図10に示す半導体素子の製造方法を示す図。

【図14】本発明に係る半導体素子の第4、第5の実施

形態を示す図。

【図15】図14に示す半導体素子の多重量子井戸構造の活性層を示す図。

【図16】図14に示す半導体素子の製造方法を示す図。

【図17】図14に示す半導体素子の製造方法を示す図。

【図18】図14に示す半導体素子の製造方法を示す図。

【図19】図14に示す半導体素子の製造方法を示す図。

【図20】本発明に係る半導体素子の第6の実施形態の製造方法を示す図。

【図21】本発明に係る半導体素子の第6の実施形態の製造方法を示す図。

【図22】本発明に係る半導体素子の第6の実施形態の製造方法を示す図。

【図23】本発明に係る半導体素子の第6の実施形態の製造方法を示す図。

【図24】従来の半導体素子の構造を示す図。

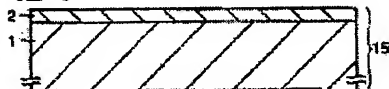
【図25】従来の半導体素子の製造方法を示す図。

【図26】従来の半導体素子の製造方法を示す図。

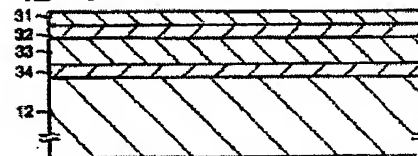
【符号の説明】

- 1…p型Ga₂P基板、
- 2…第2接合層、
- 3…第1接合層、
- 4…p-クラッド層、
- 5…活性層、
- 6…n-クラッド層、
- 7…発光層、
- 8…電流拡散層、
- 9…コンタクト層、
- 10…表面細線電極、
- 11…表面電極、
- 12…GaAs基板、
- 13…バッファ層、
- 14…第1の半導体層、
- 15…第2の半導体層、
- 16…電流ブロック層、
- 17…カバー層、

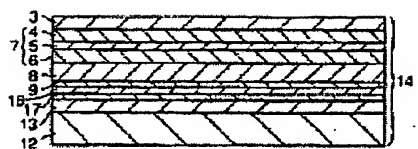
【図2】



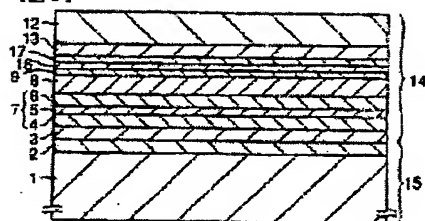
【図11】



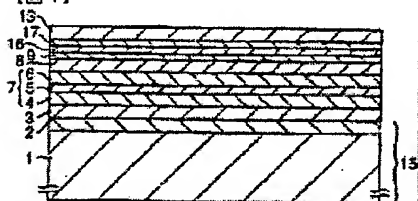
【図1】



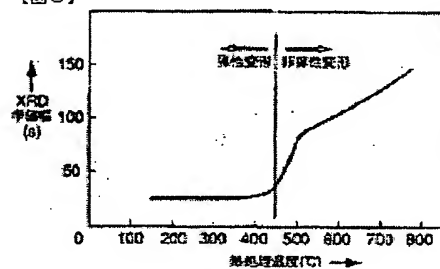
【図3】



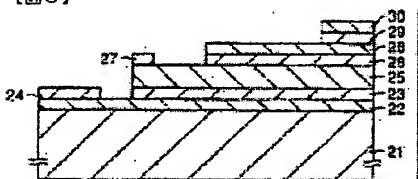
【図4】



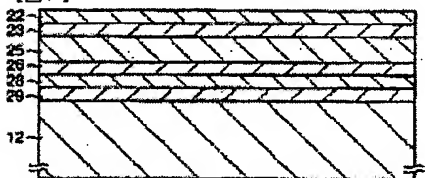
【図5】



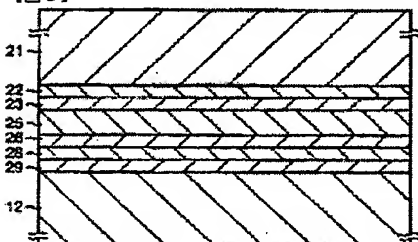
【図6】



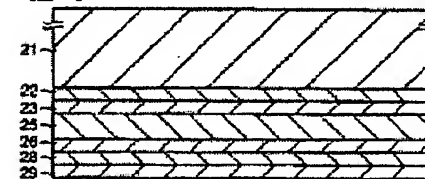
【図7】



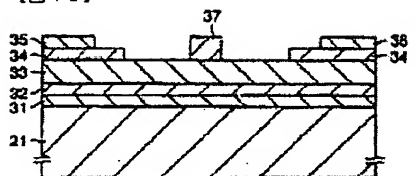
【図8】



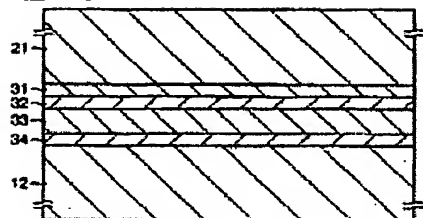
【図9】



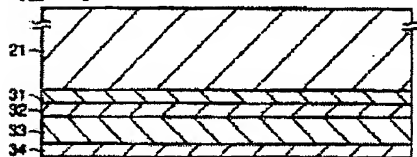
【図10】



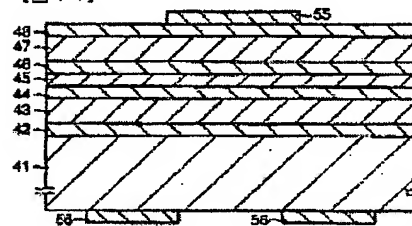
【図12】



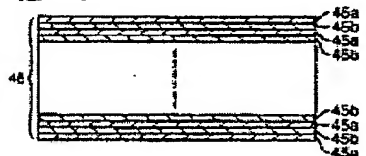
【図13】



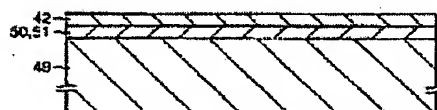
【図14】



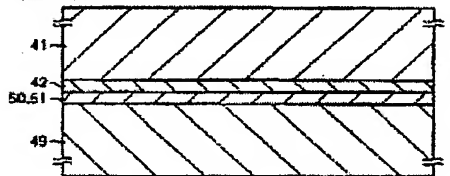
【図15】



【図16】



【図17】



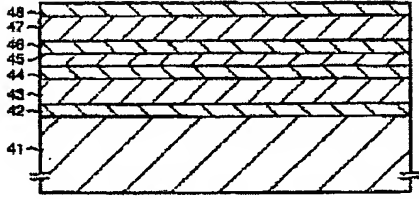
【図18】



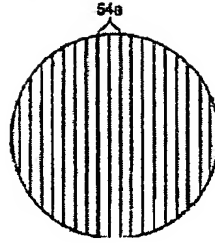
【図20】



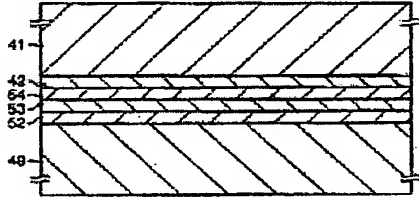
【図 19】



【図 21】



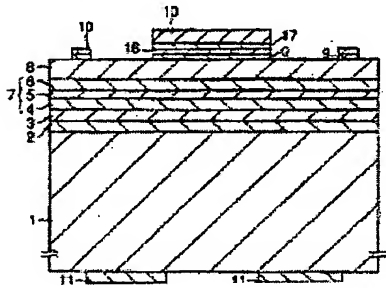
【図 22】



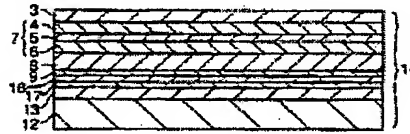
【図 23】



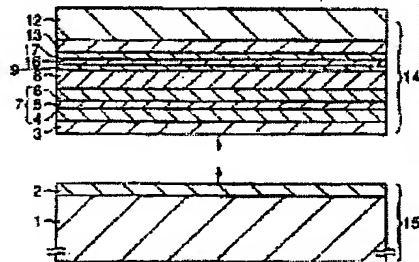
【図 24】



【図 25】



【図 26】



フロントページの続き

Fターム(参考) SF041 AA03 AA40 CA33 CA34 CA35
CA37 CA40 CA65 CA73 CA74
CA77 CB33